



Югозападен университет “Неофит Рилски
Благоевград ”

маг. инж. Сотирios Поурос

ЦИФРОВИ СИСТЕМИ И ПРОГРАМИРАНЕ НА FPGA РЕКОНФИГУРИРУЕМИ ПЛАТФОРМИ

**АВТОРЕФЕРАТ НА ДИСЕРТАЦИЯ ЗА ПРИДОБИВАНЕ НА
ОБРАЗОВАТЕЛНА И НАУЧНА СТЕПЕН ”ДОКТОР”**

Област: 5.Технически науки

Направление: 5.3 Комуникационна и компютърна техника

Научна специалност: Компютърни системи, комплекси и мрежи

Благоевград
2015

Дисертационният труд е обсъден на заседание на разширен катедрен съвет на катедра „Компютърни системи и технологии“ при ЮЗУ „Н.Рилски“-Благоевград, с Протокол № 8/16.01.2015 г., завършило с предложение за откриване на процедура за официална защита. Предложението е утвърдено с решение на Факултетен съвет на ПМФ на ЮЗУ „Н.Рилски“- Благоевград.

Защита на дисертационния труд ще се състои на 3 април 2015 г. от 11:30 часа, в зала 1434 на ТУ София пред научно жури.

Материалите по защитата са на разположение на интересуващите се в канцеларията на катедра „Компютърни системи и технологии“, ПМФ, ЮЗУ „Н.Рилски“- Благоевград, учебен корпус 1, етаж 5, каб.1552.

Дисертантът е зачислен в редовна докторантура към катедра „Компютърни системи и технологии“ при ЮЗУ „Н.Рилски“- Благоевград. Изследванията по дисертационната разработка са направени от автора, като някои от тях са подпомогнати финансово от няколко научно- изследователски проекта (списъкът е представен в края на автореферата).

Автор: маг. инж. Сотириос Пантелис Поурос

Заглавие: Цифрови системи и програмиране на FPGA реконфигурируеми платформи

Научни ръководители:

доц. д-р инж. Валентин Панчев Христов

доц. д-р инж. Ангел Николаев Попов

Тираж: 30 броя

Глава I: Въведение

Дисертацията се фокусира върху изследване на съществуващите върхови технологии в цифровата схемотехника и различни реализации, използващи програмируеми матрици (FPGA). Симулации, реализации, тестване, сравнения и резултати са основните цели на изследването, също така анализът и извличането на изводи за цифрови системи за обработка на данни и схеми със смесени сигнали.

Един от най-често срещаните аспекти в цифровите схеми навсякъде по света са цифровите филтри, използвани в почти всяко електронно устройство работещо със сигнали, както и във всяка сфера на телекомуникациите. Цифровите филтри се реализират с помощта на Digital Signal Processing (DSP) микропроцесори. Напоследък, обаче, все повече и повече производители, особено в областта на приложения изискващи паралелна обработка, използват FPGA за тяхното реализиране. Нещо повече, тенденцията е реконфигурируемите платформи да показват предимства пред конвенционалните.

Ключова и съществена част от дисертацията е отредена на тестване на устройства със смесени (аналогови и цифрови) сигнали. Например от огромно значение е контролът по качеството на продуктите, съдържащи електронни устройства, доставяни навсякъде по света. Важността на тази област привлича интереса на инженерите. В дисертацията е предложена и тествана новаторска методология, използваща Wavelet преобразувания във FPGA-базирана система. Резултатите са обещаващи.

Друг аспект на това проучване е създаването на методология за студенти в съответните факултети по Електроника, която да ги привлече към използването на FPGA. А това е положително качество на всеки студент, желаещ да стане електронен инженер. Съществуват множество начини за запознаване с технологията, на която се базират FPGA. Повечето от тях са представени и анализирани. Въвеждането на FPGA в образованието ще помогне на преподавателите в обновяването на съответните лаборатории по електроника със съвременни технологии и подходи, дискутирани в дисертацията. Ще бъдат възможни и симулации, използващи Simulink и/или Xilinx System Generator, както и реализации в реално време върху FPGA.

В заключение може да се каже, че проучването е с цел да се изследват върхови технологии. С оглед нуждите на индустрията да се получат полезни резултати и да се сравнят симулации и реализации. Предлага се и метод за

създаване на солидни базови познания за FPGA у студентите. Публикациите са в списания и международни конференции с field rating¹ 95.

1.1 Цели и проблеми

Изследването има две направления. Първото е образователно – за студентските лаборатории и се базира на реализацията на цифрова филтрация с използването на FPGA. Второто е същината на дисертацията, която се основава на реализацията на система за тест на схеми, използваща реконфигурируеми платформи и паралелна обработка.

1.1.1 FPGAs и цифрови филтри

Целта на тази част от дисертацията е да се проектира и тества лабораторен курс за обучение с DSP и цифрови филтри, реализирани върху FPGA.

Резултатите трябва да подготвят лабораторни курсове по цифрова обработка, базирани на блоково проектиране. Предложеният курс по DSP е реализиран с FPGA устройства. Използвайки FPGA, на студентите се дава възможност да проектират и изследват свои собствени хардуерни реализации. Целта е да се развият експериментите за сигнална обработка, в която се изисква проектиране и реализиране на FIR и IIR цифрови филтри върху FPGA платки. Студентите, в малкото време, с което разполагат за лабораторни упражнения, трябва да се научат да проектират цифрови системи за филтрация, използвайки Matlab, Simulink и Xilinx System Generator. Накрая студентите трябва да знаят как да тестват програмираните FPGA и как да определят характеристиките на реализираните цифрови филтри.

Друга цел на тази секция е сравнение между FPGA-базираната практическа реализация и симулацията на цифрова филтрация и обработка на сигнали с помощта на Simulink и Xilinx System Generator.

1.1.2 FPGA и тестови системи за схеми със смесени сигнали

Целта на този проект е:

- а) Създаване на нов метод за тестване на електронни схеми със смесени сигнали и
- б) Хардуерна реализация на проектираните методи с помощта на FPGA.

¹ field rating – индекс на Microsoft Academic Search. Изчислява публикации и цитирания в дадена област и показва значимостта на учените и списанията в тази област.

Въпреки, че съществуващите методи за тест на изцяло цифрови схеми адекватно се справят с увеличената сложност на системите, проблемът за тестването на схеми с аналогови и смесени сигнали, които са една голяма част от модерните електронни системи, си остава нерешим.

Първоначално, в настоящата дисертация, се разглеждат съществуващите методи за тест на схеми и системи със смесени сигнали. Още през 1993 г. [1,2]¹ членове на Main Research Group (MRG) са предложили за изследването на аналогови и аналогово-цифрови схеми да се използват измерванията от захранващия блок на схемата.

Накрая са съставени FPGA-базирани хардуерни реализации на предложения метод с цел този метод да бъде приложен за тестване на комерсиални електронни продукти.

Доколкото авторът на дисертацията е запознат, не съществуват методи за FPGA-базирани тестове, използващи коефициенти от Wavelet трансформация на тока от захранващия блок за тест на широка гама от аналогови и аналогово-цифрови схеми.

1.6 Задачи на дисертацията

Задачите на дисертацията са следните:

1. Създаване на методология, способна да повиши знанията на студентите относно FPGA и цифрови филтри.
2. Създаване на комбиниран и практически подход за FPGA реализации, използващи модерни инженерни програми.
3. Да се сравнят изходните резултати със съществуващи подобни реализации на филтри, използващи различни програми, за да се провери даден изходен сигнал от симулация и практическата реализация.
4. Да се създаде нов метод за тестване и метод с използването на коефициенти, получени от Wavelet трансформация на тока от захранващия блок.
5. Да се създаде ново прототипиране, включващо новия метод за тестване, приложим в автоматизирани тестови системи за откриване на грешки, които могат да тестват аналогови и аналогово-цифрови електронни схеми.
6. Да се оценят резултатите от реалното използване на прототипната система, базирана на добре известни схеми със смесени сигнали.

¹ Номерацията в автореферата съответства на номерацията в дисертационния труд.

Глава II: Способи за проектиране

В тази глава са представени апаратните и програмни средства използвани в изследванията.

2.1 Хардуерни устройства

Важните хардуерни устройства, използвани в изследванията са: мощен лаптоп, Xilinx FPGA макет за развой, собствено изработена печатна платка и множество инструменти.

2.2 Софтуер за синтез

Главата представя основните програми за синтез на приложения, които са най-често използвани по света и които са считани за приятелски настроени към потребителя, и също така – ефективни. Тези програми бяха използвани за изследванията и за синтез на задачата, върху която е работено в дисертацията.

Глава III: FPGA и цифрови филтри

Главата представя образователната секция от изследванията и резултатите от проектирането. Още повече, допълнителни програми и реализации са представени и сравнени.

3.1 FPGA-базирани цифрови филтри за образователни цели

Секцията представя лабораторни курсове, базирани на блоково проектиране на системи за цифрова обработка на сигналите. Предложеният курс по DSP е реализиран с FPGA макети. С използването на FPGA, на студентите се дава възможност да проектират и изучават свои собствени хардуерни реализации. Целта на курсовете е да научи студентите да проектират и реализират цифрови филтри върху FPGA макети. Те трябва да проектират цифрови системи за филтрация с помощта на Matlab, Simulink и Xilinx System Generator. Накрая, студентите трябва да знаят как да тестват програмираната FPGA и да определят характеристиките на реализираните цифрови филтри.

3.1.1 Методология

Този курс е предназначен за студенти, специализиращи Електроника и DSP. На практика, обаче, повечето от тях следват Електроника [80]. Избралите този курс трябва да са запознати с Matlab, Simulink и ISE Xilinx. Изискват се още познания в теорията на DSP и реализацията на цифрови схеми с FPGA.

Преди започване на лабораторните упражнения, студентите трябва да имат основни познания по темите, споменати по-долу [81]:

- Структура на FPGA
- Разлики между FPGA и ЦПУ
- Основни етапи в проектирането
спецификация, проверка, реализация, системно дебъгване
- Въведение в DSP
- Цифрови филтри - FIR, IIR.

3.1.2 Използване на Simulink

Преподавателят в лабораторията трябва да представи основните функции и програми на MatLab и Simulink преди да е започнал синтезът на цифровите филтри. Елементарните стъпки, които трябва да се следват са показани по-долу:

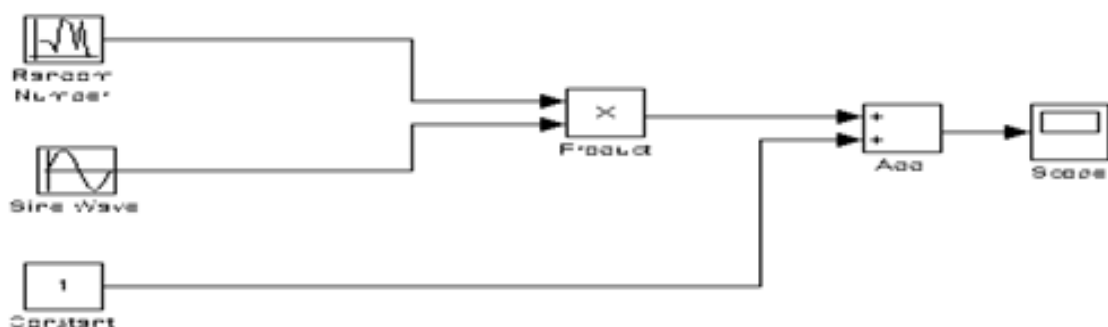
- Използване на Simulink: основни понятия
- Стъпка 1: Въведение в проектирането
- Стъпка 2: Ефектът от периода на дискретизация
- Стъпка 3: Проектиране на филтри от ниско ниво
- Стъпка 4: Създаване на подсистема

3.1.3 Използване на Xilinx System Generator

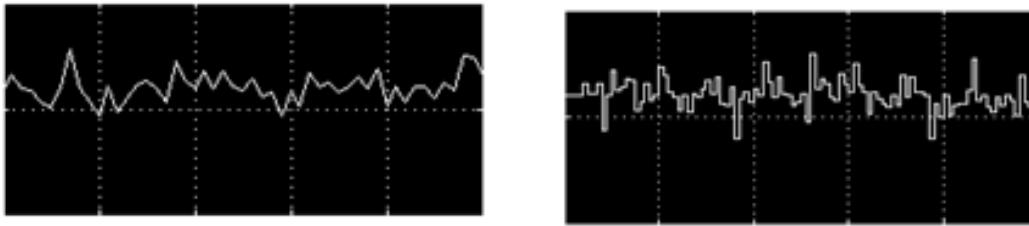
Допълнително, въведението в Xilinx System Generator [82] за Xilinx FPGA матрици, е от голямо значение. Елементарните стъпки, които трябва да се следват са илюстрирани по-долу:

Стъпка 1: Прототипираната система е синтезирана чрез компоненти от Simulink библиотеки. На базата на нея ще бъде синтезирана друга Xilinx FPGA система, която след това ще бъде сравнена с прототипната.

Студентите трябва да реализират дизайнът, показан на Фигура 3.1 и след това да стартират симулацията. Графиката на изходния резултат трябва да бъде като тази, показана на Фигура 3.2.



Фигура 3.1 Стъпка 1 – Синтез на модел

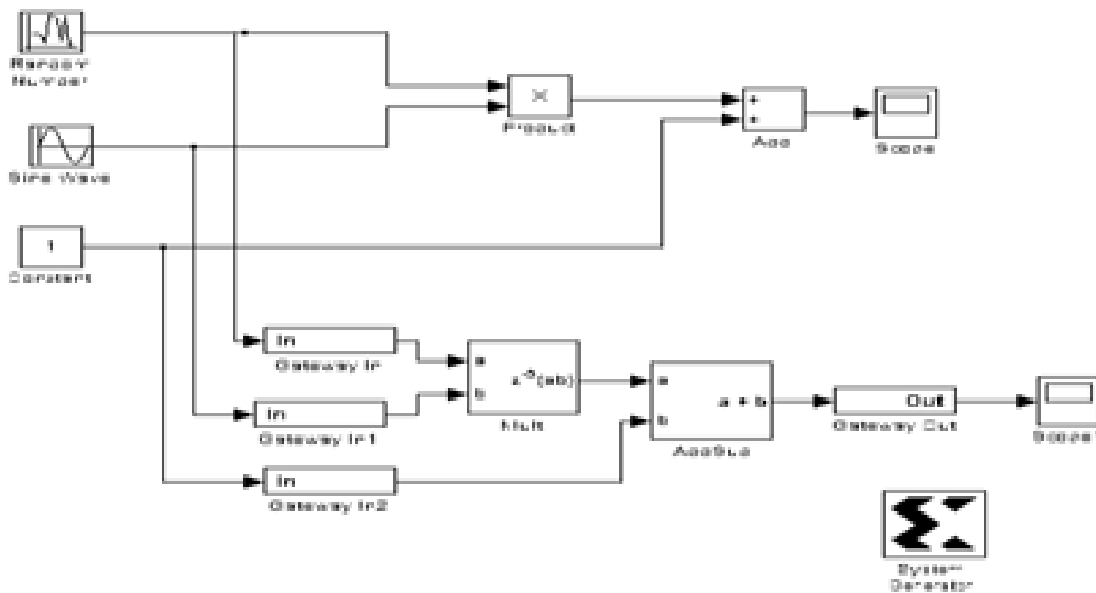


Фигура 3.2 Графиките съответно на Стъпка 1 и Стъпка 2

Стъпка 2: Развиване на предишната система, както е показано на Фигура 3.3, с помощта на библиотеката Xilinx Blockset.

Студентите трябва да стартират симулацията и да сравнят резултатите между двата системни изхода, показани на Фигура 3.2. Изходният сигнал на системата с Xilinx FPGA е нормиран, понеже System Generator изпълнява принудително квантоване на входните сигнали и показва истинското поведение на FPGA.

Резултатите от симулациите могат да се наблюдават посредством Субтрактор. Като допълнителен експеримент студентите могат да свържат три блока за закъснение в изхода на блока Суматор.



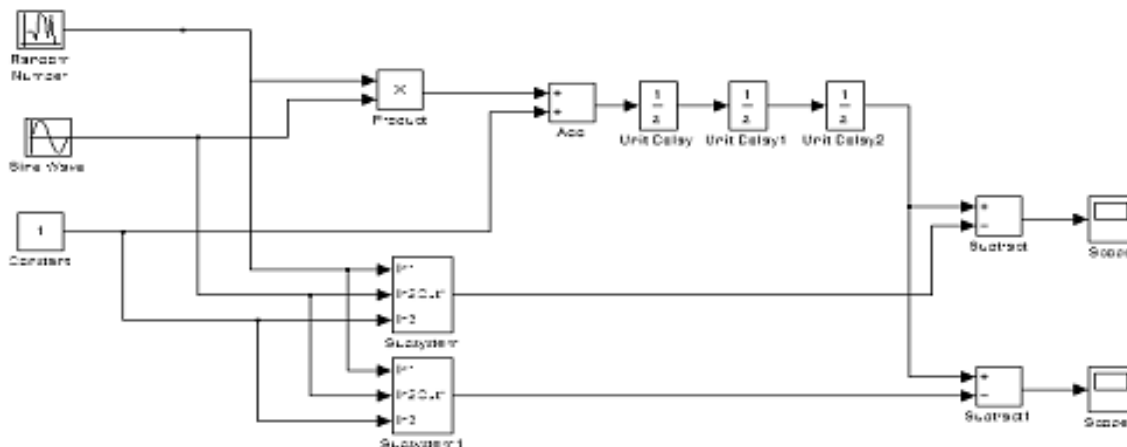
Фигура 3.3 Стъпка 2 – Нов дизайн.

Стъпка 3: Генерирането на bitstream е важна стъпка в програмирането на FPGA. С двукратно щракване върху блока System Generator изходната FPGA матрица може да бъде избрана от падащото меню. Тогава, с щракване на бутона Generate, ще се изпълнят автоматично всички етапи от синтеза.

Стъпка 4: Тази стъпка представлява експериментиране с различни архитектури. Студентите трябва да създадат подсистема, с помощта на всички Xilinx блокове, включително и със System Generator, както е показано на

Фигура 3.4. Копирайки подсистемата, втора такава се създава. Студентите трябва да променят първоначалният дизайн, както е показано на Фигура 3.4.

В този момент, дизайнът включва две подсистеми, всяка от която си има свой блок System Generator. Този дизайн може да бъде реализиран с две програмируеми матрици или само с една, която е част от по-голяма система. И така, всеки блок System Generator предизвиква създаването на entity, което отговаря на съответната подсистема. Използването на подсистеми е полезен метод, при който различни архитектури могат да реализират конкретен дизайн.



Фигура 3.4 Архитектура с две подсистеми

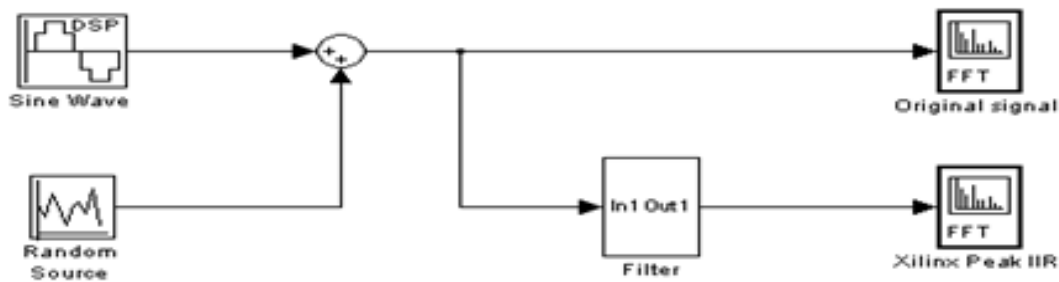
В допълнение на горното, студентите трябва да променят дизайна, така че същата функционалност да бъде постигната с DSP48 макро блок на Xilinx. Полином от вида $A*B+C$ може да бъде поместен в полето за инструкции. Финалните стъпки са: симулация, функционална проверка на дизайна и генерацията на bitstream.

3.1.4 Теория на цифрови IIR и FIR филтри

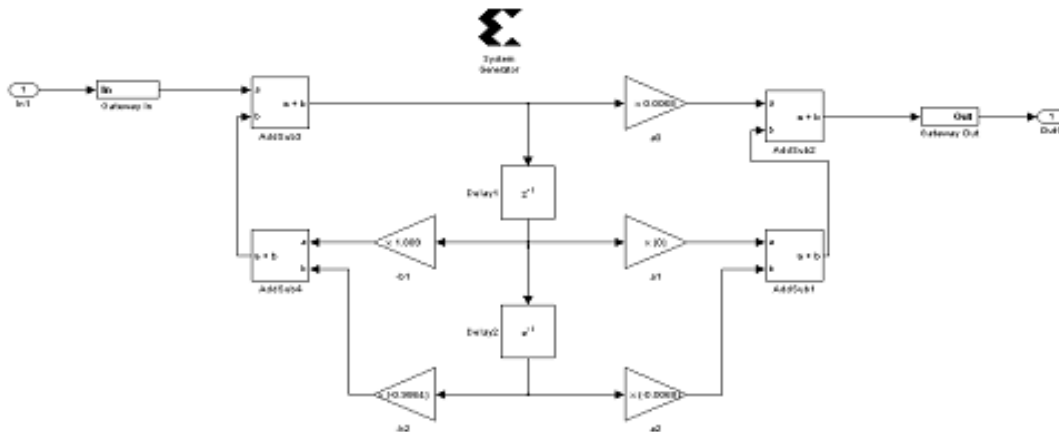
Преди проектирането на филтрите, студентите трябва да са запознати с основните правила и термини от цифровата филтрация при FIR и IIR реализации. Извеждането на предавателната функция $H(z)$ и диференциалните уравнения са фундаментални за проектирането на тези филтри.

3.1.5 Реализация на цифрови филтри със System Generator

Пример за IIR амплитуден филтър ще илюстрира основните стъпки на реализацията. Студентите трябва да проектират дизайнът от Фигура 3.5 и филтърния блок от Фигура 3.6.



Фигура 3.5 Първоначален дизайн

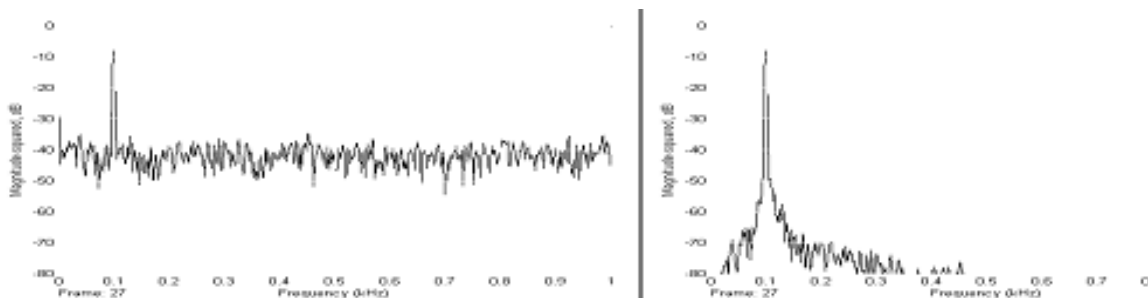


Фигура 3.6 Дизайн на IIR амплитуден филтър

Това е реализацията на IIR филтър с предавателна функция:

$$H(z) = \frac{0.0068 - 0.0068z^{-2}}{1 - 1.889z^{-1} + 0.9864z^{-2}}$$

Накрая, чрез симулация на системата трябва да се получат резултати като тези, показани на Фигура 3.7.



Фигура 3.7 Резултатни графики на амплитуден филтър

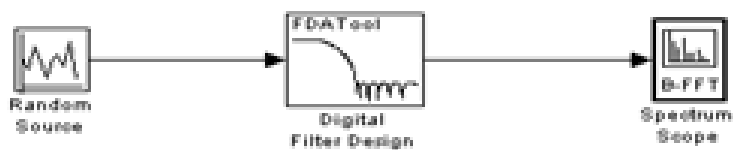
Поне още две упражнения трябва да бъдат изпълнени от студентите. Препоръчват се IIR нискочестотен филтър и FIR нискочестотен филтър.

3.1.6 Автоматизиран синтез на FIR филтър с помощта на FDATool & FIR компилатор

MatLab FDATool [84] е лесен за използване софтуер за сигнална обработка, широко известен на научната общност. Значимостта на този експеримент е да

покаже възможността на компилатора Systems Generator FIR да работи заедно с FDATool.

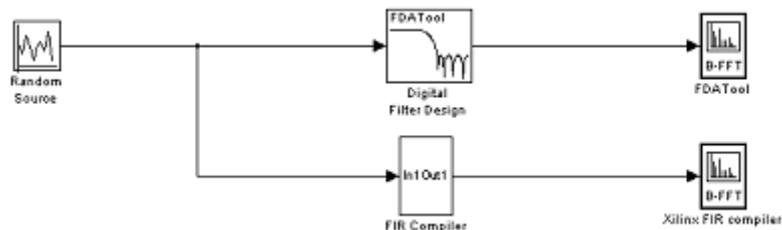
Използване на FDATool



Фигура 3.9 Синтез на цифров филтър с помощта на FDATool

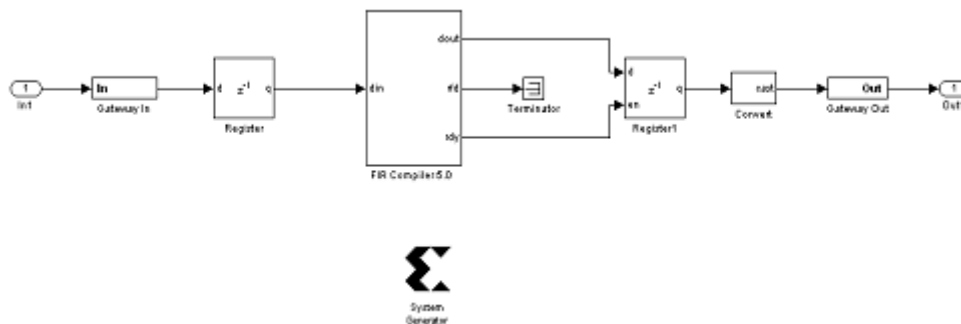
От студентите се изисква да проектират системата показана на Фигура 3.9 и да стартират симулацията след въвеждане на параметрите ѝ.

Използване на FDATool и на FIR компилатора



Фигура 3.11 Система модел на цифров синтез на филтри, симулации и сравнения

Системата трябва да бъде развита, както е показано съответно на Фигура 3.11 и дизайнът на Фигура 3.12, чрез FIR компилатор за подсистеми. Резултатите на двете осцилограми трябва да бъдат идентични.



Фигура 3.12 Използване на FIR компилатор в подсистемата

Съществуват два начина (А и В) за получаване на коефициентите от FIR компилатора.

А. Коефициентите от FDATool се съхраняват в променливата Num на работното пространство в MatLab и променливата Num да бъде указана в Coefficient Vector на таба Filter Specification.

В. Чрез библиотеката Xilinx Blockset/Index, блокът Xilinx FDATool трябва да бъде добавен в подсистемата. След въвеждане на параметрите в прозореца Properties на FDATool, трябва да се въведе xlfda_numerator ('FDATool') стойността към Coefficient Vector в таба Filter Specs. Накрая, bitstream може да бъде генериран.

3.1.7 Тестване

След програмиране на FPGA матрицата, трябва да се изпълни процедура по тестване в реално време, за да може студентите да осмислят резултата от цифровата система с филтър. Като входен източник трябва да се използва функционален генератор, а за да се наблюдава резултата – осцилоскоп в изхода на FPGA матрицата. Различни стойности на честотата, като входен стимул, ще доведат до различни изходни резултати, в зависимост от филтърните параметри. Използвайки получените стойности [85], ще бъде синтезирана графика, за да се сравни с графиката на симулацията.

3.2: Сравнение на способите и тестване

Тази секция сравнява FPGA-базирана реализация и Simulink и Xilinx System Generator симулация на цифрова филтрация. Показани са резултати на симулации в сравнение с практически реализации на цифрови филтри за сигнална обработка. Приложната система е реализирана върху FPGA матрица. Използването на FPGA позволява синтез и изучаване на примерни хардуерни реализации. Целта е да се проектират експерименти за обработка на сигнали, цифрови филтри на FPGA макети, и да се сравнят с техните съответни симулации. Електронните инженери, дори при ограничено време за експериментиране, могат да разберат разликите, появяващи се между симулационната среда и практическата реализация. Резултатите, графичното представяне, обяснението на разликите и заключенията са обединени в едно.

3.2.1 DSP индустрията

DSP индустрията се нуждае от инженери, способни да разработват DSP решения за различни приложения. Овладяването на FPGA може да се яви важен инструмент за всеки електронен инженер. В комбинация с познания по Matlab, Simulink и Xilinx System Generator за FPGA може да се получат решения за FIR и IIR приложения, които са често използвани.

3.2.2 Теоретични сведения за цифровите филтри

Дизайните на цифровите филтри се реализират според нуждите на система, използваща блокове от ниско ниво за синтез като: усилване, сумиране и закъснение, които представят предавателната функция [99].

FIR (Finite Impulse Response)

Един филтър се нарича FIR, когато знаменателят на предавателната му функция е константа [88]. Обобщеният вид на предавателната функция на FIR филтър се изразява чрез:

$$H(z) = \sum_{m=0}^M a_m z^{-m}$$
$$h[m] = a_m, 0 \leq m \leq M$$

IIR (Infinite Impulse Response)

Един филтър се нарича IIR ако знаменателят на предавателната му функция е от N-та степен, където $N \geq M$ [100]. Обобщеният вид на предавателната функция на IIR филтър се изразява чрез:

$$H(z) = \frac{Y(z)}{X(z)} = \frac{\sum_{m=0}^M a_m z^{-m}}{1 + \sum_{k=1}^K \beta_k z^{-k}}$$

3.2.3 Реализация

Целта е да се сравнят резултатите на различни дизайни и реализации с помощта на подходящи хардуерни и софтуерни способности. Способите, които трябва да се използват се описват в главата.

Реализация на системата

След използването на Matlab Simulink и Xilinx System Generator следва програмирането на FPGA матрицата и тест в реално време, така че проектантите да могат да оценят отклоненията от очаквания резултат в една цифрова система с филтър.

3.2.4 Методология

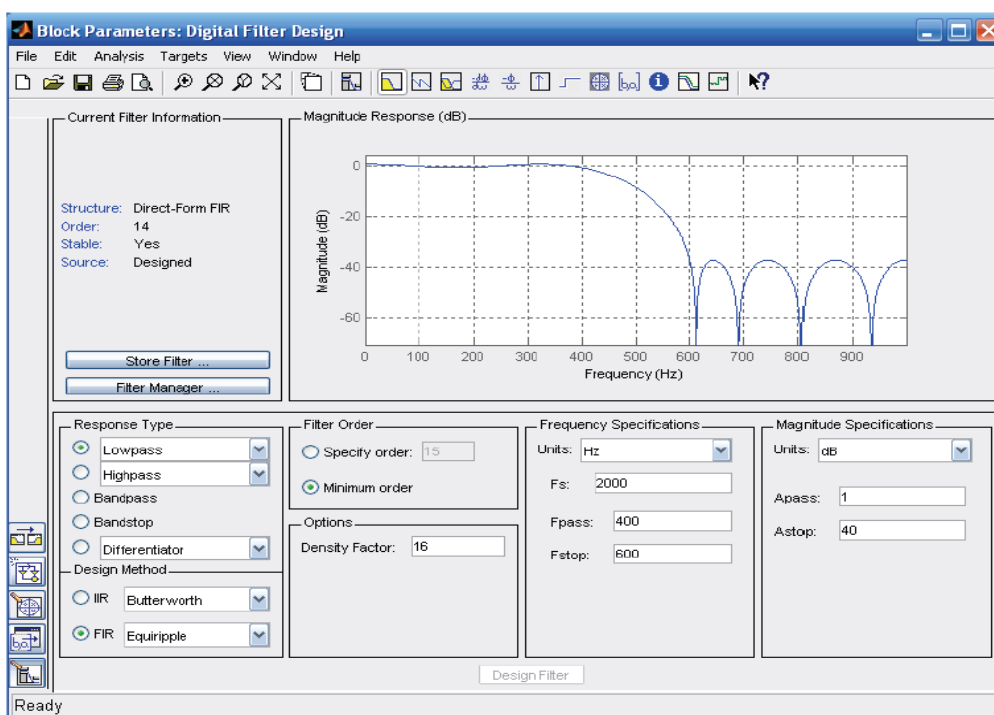
Първоначално дизайнът на Фигура 3.11 е проектиран в интерфейса на Matlab Simulink, използвайки подходящите блокове [91]. След екстракцията на графичните изходни резултати със Spectrum Scopes, следва екстракция на трета графика от практическата реализация на цифровия филтър върху FPGA. Използван бе функционален генератор като входен източник, а към изхода на FPGA матрицата бе свързан осцилоскоп, за да се наблюдават от екрана резултатите от обработката. Използвайки получените стойности [96], беше

построена графика, която от своя страна беше сравнена с графиките от симулацията на Matlab Simulink и Xilinx System Generator.

3.2.5 Експериментални резултати

Преди да бъдат представени резултатите, спецификациите на филтъра трябва да бъдат обобщени. Интерфейсът на FDATools и спецификациите на филтъра са показани на Фигура 3.17. Изходът на филтъра е показан на същата фигура.

Matlab Simulink FDA Tool симулации



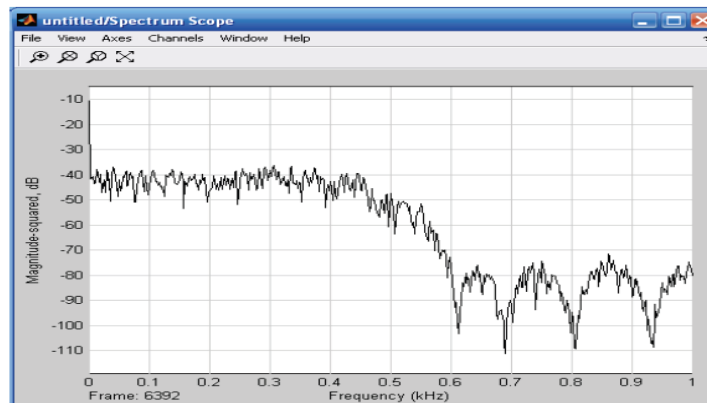
Фигура 3.17 Matlab Simulink FDA Tool нискочестотен филтър

Xilinx System Generator FIR компилатор

Този изход представя графиката от Xilinx FIR Compiler Spectrum Scope, показан в дизайна на Фигура 3.18. Сигналите изглеждат че имат различна форма. Това се дължи на факта, че System Generator принудително квантува входния сигнал с цел представяне и симулиране на същинското поведение на FPGA, чийто функции се базират на високоскоростен вътрешен тактов сигнал [96].

но изходът излиза от Xilinx System Generator Design, използващ FIR Compiler ядро. Графиката представя изхода на нискочестотен филтър, така както би изглеждал от реална FPGA матрица.

Фигура 3.18 представя симулацията на същия този нискочестотен филтър,

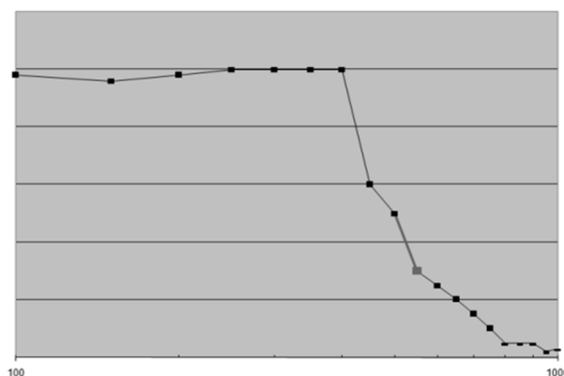


Фигура 3.18 Изходът на Xilinx дизайна

FPGA реализация и измервания

Програмният файл е генериран, използвайки Xilinx ISE13 и с помощта на програмата iMраст е записан във FPGA посредством JTAG програматор.

Функционалният генератор подава входни сигнали. Изменяйки честотата им в целия диапазон, с помощта на осцилоскоп се отчитат сигналите в изхода. Резултатите от проведения експеримент са показани на Фигура 3.19. Амплитудно-честотната характеристика е изобразена в полулогаритмичен мащаб. Графиката прилича на графиките от предишните симулации, но има някои спадове. Бяха наблюдавани разлики до 5 % от резултатите, получени с FDA Tool, което е в допустимите граници в сравнение с Xilinx FIR Compiler. Появата на отклонения се обяснява с грешки от измерването на използваните инструменти. Вижда се отклонение около ниските честоти, където изходният сигнал е малко по-нисък от очаквания.



Фигура 3.19. Резултати от експеримента

Много различни филтри бяха реализирани и тествани, за да се придобие информация относно отклоненията между симулационните и реалните измервания. Режекторният филтър бе с най-точните резултати и най-малки отклонения. Най-големи отклонения бяха наблюдавани при лентовия филтър и особено във върха на лентата на пропускане.

3.2.6 Заключение

Системните проектант може да очакват тези способности да бъдат точни, но реалните реализации, както и проектирането на системи, изглежда доказват че симулаторите са частично неточни. Всяка една реализация, която е тествана и измерена е генерирала леко различни изходни данни в сравнение с очакваните. Отклонение от 5 % е значимо, особено когато експериментирането е ограничено до акустичните честоти, които са по-лесни за обработка и системите – по-лесни за проектиране.

Xilinx FIR компилаторът изглежда оползотворява добре тактовия сигнал, което дава резултати близки до реалните имплементации.

Накрая, въпреки че за експериментите бяха използвани инструменти и устройства от най-висок клас, все пак съществуват отклонения между симулациите и реализациите.

Комбинираното знание на Matlab, Simulink и System Generator на начално ниво е достатъчно като основа за инженер, който желае да започне проектиране на по-сложни цифрови системи.

3.3 Цели и подобни проблеми

Първата цел е да се проектира методология, способна да повиши знанията на студентите относно FPGA и цифрови филтри, въпреки голямата, но трудно разбираема и понякога недостатъчна информация.

Втората цел е да се състави комбиниран и практически подход за реализации, използвайки модерни но достъпни за един инженер хардуерни и софтуерни методи, предлагащи по-стабилни резултати, когато са използвани в добре-структурирана комбинация.

Третата цел е да се сравнят изходните резултати от подобни реализации, получени с помощта на различни способности, за да се разберат различията, които може да се появят, когато даден инженер се опитва да валидира резултатите от симулация спрямо данните излизаци от реалната имплементация.

Глава IV: Тестваща Система

Главата се занимава с проектирането на система, която е способна да класифицира тестваните схеми с помощта на динамични входни сигнални стимули във FPGA макет.

4.1 Тестваща система за FPGA базирани схеми със смесени сигнали за сравнение на входни стимули

Главата представя сравнителен анализ на сигнали, използвани като входни стимули за тествана схема, използваща система, вградена във FPGA, основаваща се на метод, базиран на Wavelet трансформация на захранващия ток или токът в товара. Методът се отличава с това, че включва различни входни сигнали, според нуждите на тестващия инженер и спецификациите на схемата. Това е отличителен и ефективен метод, който предлага едноточково тестово измерване и може лесно да бъде адаптиран да използва различни аналогови и аналогово-цифрови системи. Показани са експериментални резултати, показващи ефективността на предложената тестова схема.

4.1.1 Моделно-базирани техники

В последните години тестването на аналогови схеми бе изследвано и се появиха различни методи [112 – 115]. Определянето на „сигнатурата“, която ще бъде използвана за откриване на грешки е важен момент в системата. Например, използват се средноквадратичната (RMS) стойност на захранващия ток и амплитудата и фазата на неговия спектър (преобразуване на Фурие) [116]. Използва се и друг подход, базиран на Wavelet преобразуване, което разлага даден сигнал във времева и честотна област едновременно [117 – 119]. То дава по-добра апроксимация на формата на преходния ток в сравнение с Фурие трансформацията.

4.1.2 Теория на вълновата трансформация

Wavelet трансформацията [120,123] е трансформация, която осигурява едновременно представяне на сигнала във времева и честотна област. Тя предава сигнал във времева област през високочестотен и нискочестотен филтри, които филтрират съответно или високата, или ниската честота на сигнала. Процедурата се повтаря, докато част от сигнала, съответстващ на дадена честота, се премахва от сигнала. Процедурата се нарича разлагане. Разлагането се повтаря до предварително зададено ниво на декомпозиция.

След това се образува множество от сигнали, които всъщност представят оригиналния сигнал. За дискретизирани сигнали, както е в нашия случай, се използва Дискретното преобразуване на Фурие. Наг трансформацията [120, 123] разлага дискретния сигнал на два подсигнала от полупериода му. Един суб-сигнал е текущата средна стойност или тенденция; другият суб-сигнал е текущата разлика или флуктуация d .

След като енергията на тенденцията на суб-сигнала T се счита за по-голямата част от енергията на преобразувания сигнал, следва да се пресметне енергията, отчитайки само коефициентите на тенденцията на първото ниво на разлагането, както е показано в следващото уравнение:

$$E_T = \sum_{j=1}^n T_1^2$$

4.1.3 Тестващ алгоритъм

Методът за тестване, който е ефективно приложен в тестващата система, използва като мерна единица стойността на енергията [120 – 123] на Wavelet трансформацията на измереният захранващ или товарен ток. Методът за тестване се състои от две фази. В първата фаза (Първоначална фаза), Wavelet енергийната стойност на еталонната схема се измерва и запамятава. Във втората фаза (Основна тестова фаза), Wavelet енергията на тестваната схема (CUT) се измерва и сравнява със съответната стойност на еталонната схема. Детекцията на неработеща схема ще бъде успешна, когато Wavelet енергията превишава дадени граници на толеранс. Тези граници са въведени, за да се вземат под внимание вариациите на схемните параметри и неточностите от измерването. Накрая, пресмятат се дефиниции за Wavelet енергията на еталонната схема и границите на толерансите, заедно с процента на откриваемост на грешките.

Дадено е множество от n на брой изправни схеми, множеството $E_{T,i}$ е енергийната стойност на токовия сигнал на i -тата изправна схема, $E_{T,mean}$ е средната стойност на Wavelet енергията на всички изправни схеми и $E_{T,lim}$ е толерансният лимит на $E_{T,i}$.

Стъпките на алгоритъма са описани по-долу:

Стъпка 1: За всяка схема от множество от изправни схеми измери и запамети ($i=1, \dots, n$).

Step 2: Направи $E_{T,mean} = \frac{1}{n} \sum_{i=1}^n E_{T,i}$

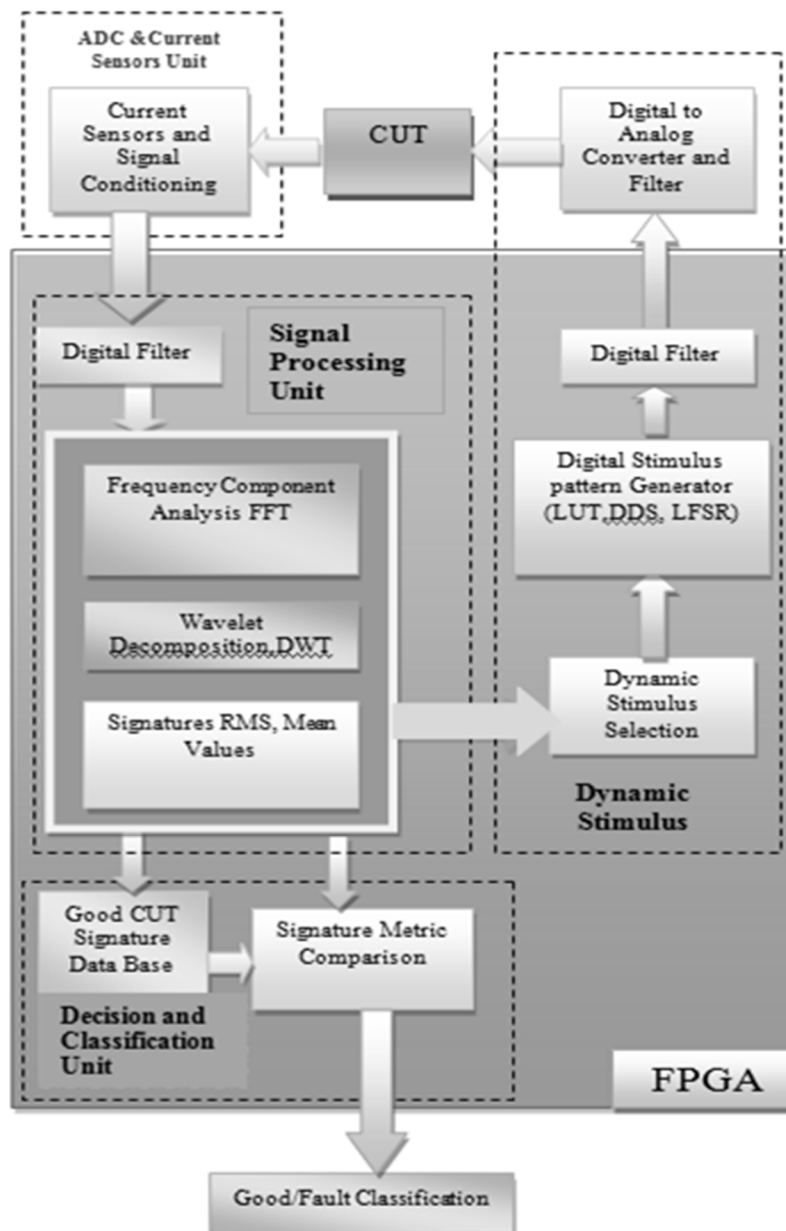
Step 3: Направи $E_{T,lim} = 0.1 \times E_{T,mean}$

Step 4: За CUT t :

- Измери и запамети $E_{T,t}$
- Ако $|E_{T,mean} - E_{T,t}| > E_{T,lim}$ то обяви като неизправна t -та схема, използвайки енергийната стойност на токовия сигнал.

Стойността на $E_{T,lim}$ беше избрана практически равна на $0.1 \times E_{T,mean}$ (стъпка 3), за да се вземат под внимание вариациите на схемните параметри и евентуални грешки в измерването. Трябва да се отбележи, че тази стойност оказва влияние върху откриваемостта на грешките и е евристично избрана, основаваща се на предишен опит и от литературните източници [111, 115].

4.1.4 Реализираната система



Фигура 4.2 Подробна блокова схема на реализираната FPGA-базирана тестова система.

Външното тестващо устройство измерва токовете сигнатури на захранващите шини (I_{PS}) или на товара (I_L) на CUT и класифицира съответната CUT. Тестваният ток на CUT се квантува от външен аналогово-цифров преобразувател (АЦП). Измерените данни се прехвърлят към FPGA, за да бъдат

обработени. Те са необходимата информация за създаване на база данни от сигнатури за сравнение на изправни схеми в съответствие с измерените CUT за класификация от тип изправни/неизправни. Сравнението се инициализира след като се измерят сигнатурите на CUT. И двете сигнатури, изправната и тази на CUT, се сравняват с помощта на нарастъци. Сравнението води до класификацията изправен/неизправен.

Когато измерените данни от АЦП се предават към FPGA, първо преминават през цифров филтър, вграден във FPGA. Този филтър се използва с цел antialiasing (премахване на припокриването на спектрите) и намаляване на шума.

Нова разработка е цифровият генератор на образцови стимули, вграден в FPGA. Задачата му е да изработи и приложи нужния сигнал (след цифрово-аналогово преобразуване) към CUT според спецификацията ѝ. Ако някоя CUT не може да бъде тествана чрез нейния специфичен стимул, тогава генераторът създава нов стимул за нова сравняваща сигнатура. Този стимул се генерира чрез LUT's, DDS и LFSR. Също така може да бъде избран и от оператора според вида на CUT.

Цялата цифрова обработка, филтрация, честотен анализ, извличане на параметри и крайна класификация годна/негодна (good/faulty) са вградени във FPGA. Енергията на сигнатурата, RMS и средните стойности на сигнатурите на тестваните токове се изчисляват в същия модул. Накрая, изчислената сигнатура се сравнява със сигнатурите от базата данни и класифицирането ѝ като годна/негодна.

4.1.5 Софтуерни изисквания и описание

Три IP ядра са използвани за направата на системата. Xilinx FIR компилатор 5.0 и Xilinx FFT 7.1 са част от Xilinx System Generator за DSP Toolbox и е разработено IP ядро, реализиращо Wavelet трансформация за екстракция и изчисляване на съответните сигнатури на CUT.

Софтуерната част на системата включва подпрограми за контрол на периферните модули на FPGA, за да може да се измерят сигналите на съответните входове, да бъдат обработени и резултатите да бъдат изобразени. Резултатът е една реконфигурируема тестова система, способна да работи с различни схеми в структурен формат.

Алгоритъмът е последователност от стъпки, в които постъпват данни на входа и изхода. Във всяка стъпка, напрежението или токът от CUT е измерен и

обработен в зависимост от изискванията и спецификациите. Тестващият алгоритъм е записан в EEPROM паметта.

4.1.6 Проектиране на предложената тестова система

Тестовата система е съставена от няколко подсистеми. В следващите няколко параграфа следва кратко описание на системата, за да се обобщят някои от нейните функции.

Интегралната схема LMP8603 е част от схема за измерване на ток, която се мащабира за всеки канал. Възможни са измервания на отрицателни и положителни стойности за тока, като изходният сигнал е отместен по постоянен ток, за да е съобразен с изискванията на входа на АЦП, заложиени по спецификация.

За да се създаде входен стимул за CUT, се използва схема на ЦАП, който генерира нужния сигнал. FPGA зарежда данните на ЦАП и резултатът е различни сигнали, синтезирани от FPGA. Операционният усилвател с напрежителен изход се използва за крайно буфериране от основната схема към CUT. Интегралната схема OPA552 е с допустим максимален ток 200 mA и широк размах на изходното напрежение достатъчен за всеки работен режим. Токоограничаваща схема осигурява безопасната ѝ работа.

АЦП от тип THS1206 се използва за преобразуването на входните аналогови сигнали и осигурява еталонни напрежения, необходими за постояннотоковото им отместване. Захранващ блок подава необходимите напрежения към различните стъпала на платката. Системата създава изходни сигнали, цифрово синтезирани вътре във FPGA.

Реализацията на системата е извършена в Xilinx Virtex-5LXT FPGA. Матрицата (XUPV5-LX110T) на тази платка за развой включва множество периферни модули и конфигурируеми входно/изходни портове, способни да отговорят на изискванията на проекта, както и мощна подсистема за тактови сигнали.

4.1.7 Експериментални резултати, използващи Wavelet трансформация

Предлаганият метод с FPGA-базираната система е илюстриран чрез тест на две различни схеми. Експерименталните резултати са анализирани в следващите параграфи.

A. Схема на операционен усилвател

Първата схема, която ще бъде тествана е представителен операционен усилвател в инвертиращ режим (Фигура 4.5). Схемата е реализирана с

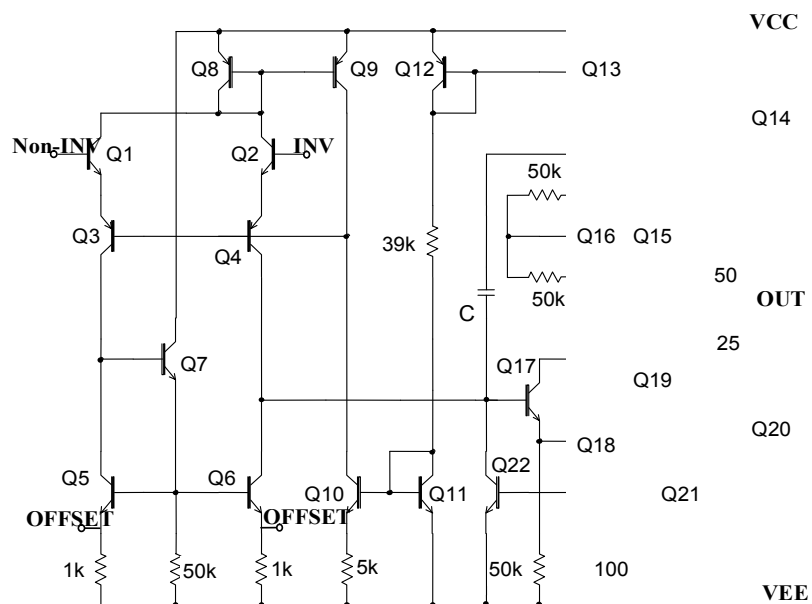
дискретни компоненти, където отворената верига е заместена с резистор от 10 МΩ, а късото съединение – с резистор от 10Ω.

Списъкът с неизправности съдържа всички твърди грешки (къси съединения и отворени вериги) на пасивни компоненти и биполярни транзистори. Също така се включват къси съединения на база-емитер, колектор-емитер и база-колектор, къси съединения на резистори и кондензатори и отворени вериги на транзисторната база. Множеството от неизправности на тестваната схема включва общо 128 случая (къси съединения и отворени вериги).

В представената FPGA-базирана система, показана на Фигура 4.2, входните сигнали се избират динамично и се прилагат като съвкупност от три различни входни стимули. Синусоидален (SIN), импулсен (PUL) и триъгълен (TRI) входни сигнали са с честота 1KHz с амплитуда 0.5V. От n=50 изправни схеми са измерени положителният I_{PS+} , отрицателният I_{PS-} и товарният I_L токове. Нужните стойности на Wavelet енергия са изчислени по алгоритъмът, описан по-горе и процентите на откриваемост на неизправности са показани в Таблица 4.1. Данните в нея показват, че триъгълните входни стимули са с най-висок процент на откриваемост на неизправностите, а синусоидалните – с най-нисък. Друга забележима особеност е фактът, че сигналът I_L винаги дава по-голяма възможност за откриване на неизправност от измерените положителни и отрицателни стойности на тока.

Откриваемост на неизправности (%)	SIN	PUL	TRI
I_{PS+}	70,3	71,9	86,7
I_{PS-}	68	73,4	82
I_L	74,2	78,1	89,8

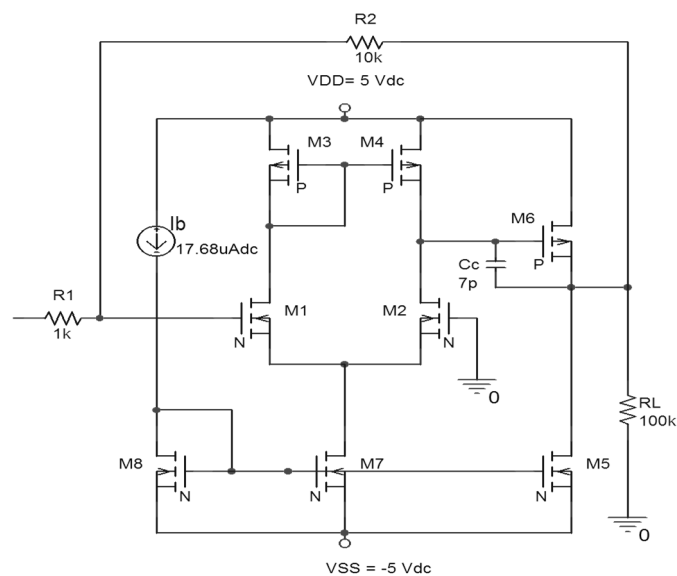
Таблица 4.1: Процент на откриваемост на неизправностите при операционен усилвател в инвертиращ режим, за три входни стимулиращи сигнала



Фигура 4.5 Изследваната схема на операционен усилвател.

В. Схема на двустъпален MOS усилвател

За втора CUT е избрана схемата на двустъпален MOS усилвател в инвертиращ режим, показана на Фигура 4.6. Схемата съдържа двуполлярно захранващо напрежение (-5V, +5V), 8 MOS транзистора, един кондензатор и три резистора.



Фигура 4.6 Схема на двустъпален MOS инвертиращ усилвател.

Реализирани са три вида конкретни неизправности (къси съединения на гейт-дрейн и гейт-сорс и отворена верига на гейта) на всеки транзистор и са измерени, използвайки моделът за неизправности, описан в [126]. Също така, включени са къси съединения и отворени вериги на пасивни компоненти, което означава, че изследваното множество от неизправности е $3 \times 8 + 2 \times 4 = 32$ случая.

Както и в предишния случай бяха използвани три входни стимули: синусоидален (SIN), импулсен (PUL) и триъгълен (TRI) сигнали с честота 1KHz и амплитуда 50mV. Измерванията включваха положителен (I_{VDD}), отрицателен (I_{VSS}) и товарен (I_L) ток.

Данните представени в Таблица 4.2, показват че резултатите са подобни на тези, получени в предишния вариант и допринасят за ефективността на предложения метод: триъгълният входен сигнал постоянно превъзхожда импулсния вход, докато синусоидалният следва с най-нисък процент откриваемост на неизправностите. Може да се обобщи, че импулсните и триъгълните входни стимули винаги дават по-голяма откриваемост на неизправностите, сравнени със синусоидалните сигнали. Нещо повече, товарният ток I_L винаги предлага по-голяма откриваемост от измерените положителни и отрицателни стойности на токовете.

Fault detectability (%)	SIN	PUL	TRI
I_{VDD+}	71,9	78,1	87,5
I_{VSS-}	68,8	71,9	81,3
I_L	84,4	90,6	93,8

Таблица 4.2: Процент на откриваемост на неизправностите при двустъпален MOS усилвател, в инвертиращ режим за три входни стимулиращи сигнала.

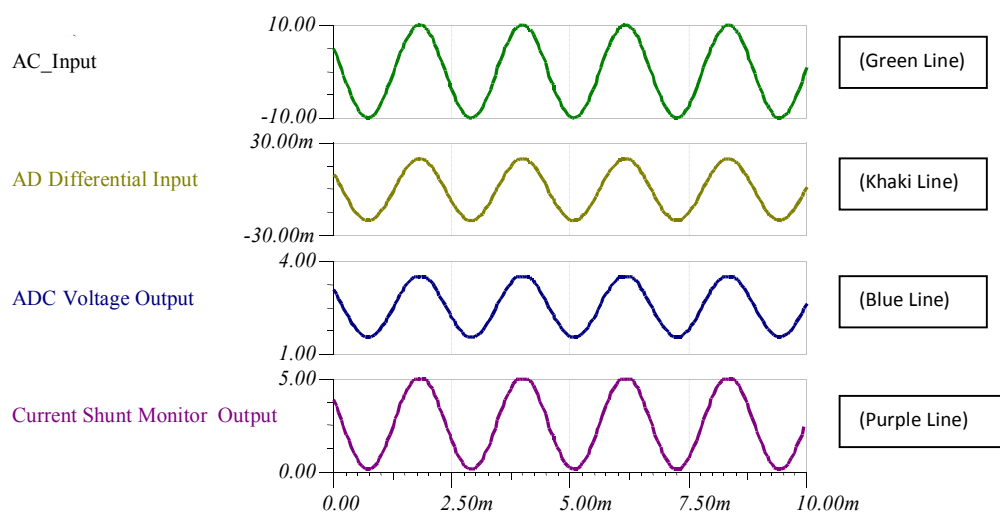
4.2 Проектиране на външната тестова система

Това е FPGA-базирана външна тестова система за схеми със смесени сигнали за сравнение формата на сигналите. Системата е съставена от следните подсекции.

Подсекциите са:

- Захранващ модул
- Схема с токов и напрежителен сензор
- Аналогово-цифров преобразувател
- Цифрово-аналогов преобразувател
- Свързващ куплунг за интерфейс с FPGA макета
- Схема за настройка на TTL нивата.

Принципните схеми и печатни платки (PCB) са проектирани с пакета Altium Designer Software. Симулациите на функционалността на схемите са изпълнени от софтуерът TINA TI. Фърмуерът е разработен в Xilinx ISE 13.2.



Фигура 4.18 Симулация в мащаб 0 - ±20mA

Фигура 4.18 изобразява напрежителния стимул на диференциалния вход ±10V (зелената графика). Входният сигнал, през резистивен товар от 499Ω и шунтов резистор 1Ω, дава максималният стимулиращ сигнал в обхвата 0 - ±20mA. Честотата на стимулиращото напрежение е 10kHz, което осигурява всички нужни хармоници за цифровата обработка на сигнали във FPGA, без фазови флуктуации между диференциалния вход и изхода на сензора.

Изходната графика на сензора LMP8603 (лилавата графика) е ограничена между 0 и +5V и изходната графика на донастройващата схема (синята графика) е ограничена между +1.5 и +3.5V, което е входа на АЦП.

Модул с напрежителен сензор

Схемата с напрежителните сензори включва два различни канала. Всеки канал е проектиран да измерва различни напрежителни нива. Положителният стимулиращ модул получава напрежения от 0V до +15V, а отрицателният стимулиращ модул получава нива от -15V до 0V.

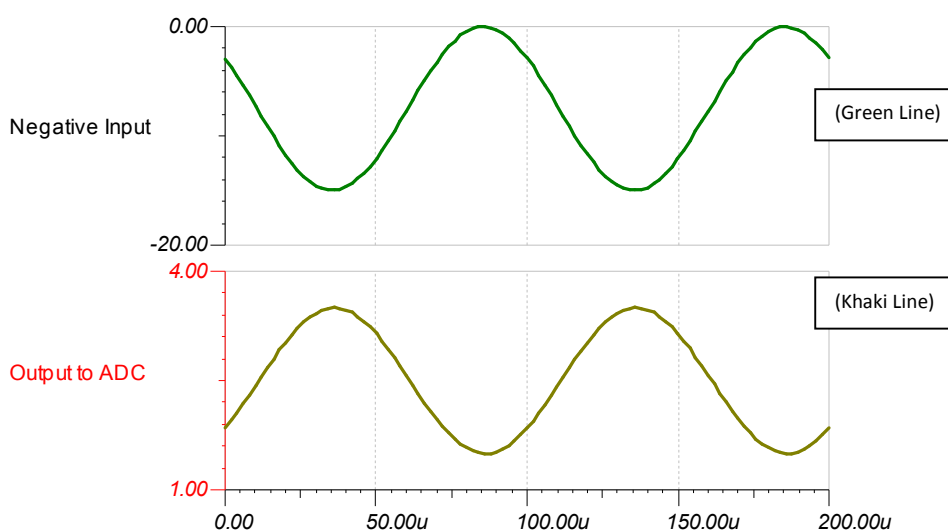
Подобна схема за донастройка на нивата преобразува напрежителния обхват в необходимите нива за входа на АЦП (1.5V-3.5V). Напрежителен повторител е използван за изолация на схемата, която се тества. Инвертиращият усилвател има усилване единица и се използва за инвертиране на входния сигнал преди донастройващата схема. Съответната функция е:

$$V_{Out} = \left(1 + \frac{R_f}{R_1}\right)V_{Ref} - V_{In} \frac{R_f}{R_1} \quad \text{където } V_{Ref} = 2.5V, R_f = R_{38} = 40k\Omega, R_1 = R_{37} = 100k\Omega .$$

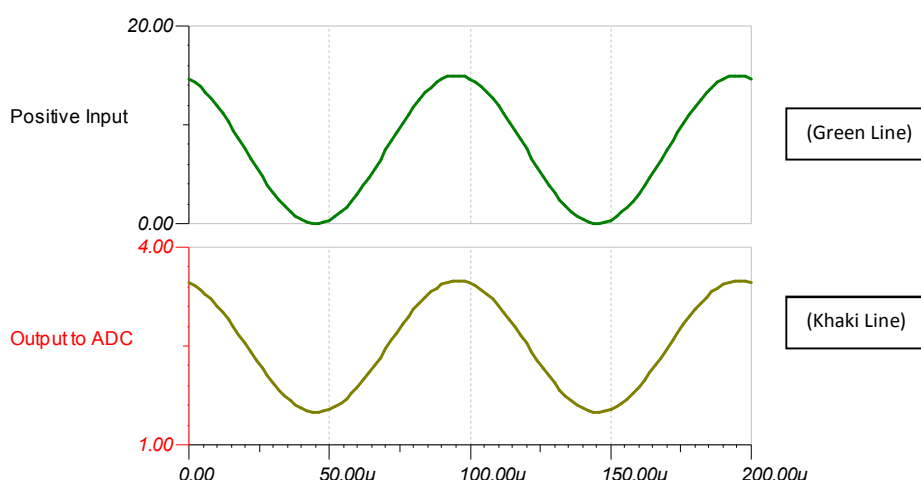
Симулация на функционалността на схемата от Фигура 4.20 е базирана на синусоиден сигнал от 10kHz и амплитуда 7.5V с постоянноотокково отместване

от $-7.5V$ (зеленият цвят). Постояннотоковото отместване е достатъчно, за да покрие нужната спецификация на системата и на CUT.

Стабилизаторът на напрежение трансформира входния сигнал в синусоиден сигнал с амплитуда $2.5V$ и постояннотоково отместване $2.5V$ и прилага 180° отместване на фазата на входния сигнал (жълтокафвият цвят). Такава реализация беше избрана, за да принуди ЦАП да осигури на системата максимален изход, когато входното напрежение е с максимално отрицателна стойност. Аналогична схема, подобна на предишната CUT, за донастройка на нивата, преобразува напрежителния обхват в необходимия за АЦП входен такъв ($1.5V+3.5V$).



Фигура 4.20 Симулация функционалността на схемата – измерване на отрицателно напрежение.



Фигура 4.22 Симулация на функционалността с помощта на измервания на положително напрежение

Симулацията на функционалността на схемата от Фигура 4.22 е базирана на синусоиден сигнал от $10kHz$ и амплитуда $7.5V$, използваща $7.5V$

постояннотоково отместване (зеления цвят). Постояннотоковото отместване е достатъчно да покрие нужните спецификации на системата и CUT. Стабилизаторът на напрежение трансформира входния сигнал в синусоидален с амплитуда 2.5V и 2.5V постояннотоково отместване и не прилага фазово отместване на входния сигнал (жълто-кафявият цвят). Така реализацията е използвана, за да се принуди ЦАП да осигури на системата максимален изход, когато входното напрежение е с максимална положителна стойност.

АЦП модул

АЦП модулът е базиран на THS1206 от Texas Instruments. Преобразуването може да бъде еднократно или постоянно. При еднократния вариант преобразуването се включва от единичен външен сигнал и вътрешен генератор контролира времето на преобразуване. При постоянния вариант се свързва външен източник, който да контролира времето на преобразуване. Преобразуването е с честота 6 MSPS за един канал и 1.5MSPS за четири. Вграден стеков регистър (FIFO стек) позволява съхранението на данни, получени от паралелното преобразуване на аналоговите канали. Модулът също така осигурява и външните еталонни напрежения.

ЦАП модул

За да е възможна генерацията на съответните стимулиращи сигнали за CUT беше разработена софтуерна платформа, която генерира необходимите сигнали. След това сигналите са конвертирани в аналогова форма и са способни да осигурят различни входни стимулиращи сигнали за CUT.

Преобразуването на сигналите е осигурено от TLV5619DW на Texas Instruments. Изходът на ЦАП включва развързващо стъпало, управлявано от потенциометъра (RP1) и от стъпало на повторител на напрежение преди входа на суматор (U10C). Последното стъпало е операционен усилвател в неинвертиращ режим, чието усиление е равно на 6. Токоограничаващата схема, интегрирана в чипа, осигурява безопасна работа на входните сигнали на CUT.

Свързващ куплунг с FPGA макета.

Печатната платка на системата има два основни реда от съединения. 50-изводен куплунг и печатна платка със съвместимо разположение на изводите като на XUP5VL110T развойната платка. Освен това са включени два куплунга с по 30 извода, позволяващи свързването към други схеми със съвместими куплунги.

Схема за донастройка на TTL нива

Схемата за донастройка на TTL нива съдържа буферен модул, който има нужната развързваща магистрала (магистрала за данни), управляваща ЦАП-а и други устройства, изискващи цифрово управление, свързани към нея. Също така има едно допълнително стъпало за изолация на данновата магистрала на ЦАП (3.3V) и средата.

4.3 Печатна платка на системата

Печатната платка (PCB) е 12x10cm и е свързана към развойната платка XUP5LV110T.

4.4 Цели и проблеми

Първата цел беше да се проектира нов метод и техника за изследване с използването на коефициенти, получени от Wavelet преобразуване на захранващия ток, които да бъдат реализирани в нови схеми.

Втората цел беше да се проектира нов прототип, базиран на новия изследователски метод, насочен към автоматизираните тестови системи за откриване на неизправности, които да изследват един диапазон от аналогови и аналогово-цифрови схеми.

Третата цел беше да се оценят резултатите от реалното използване на прототипираната система, получени от добре известни схеми със смесени сигнали.

Глава V: Лични приноси и заключения

5.1 Първата секция

Първата цел бе постигната с FPGA методология за реализация на цифрови филтри, които бяха разработени и тествани в лаборатория. Методът подобрява знанията и разбирането, осигурени от модерни средства за проектиране като Matlab, Simulink, Xilinx System Generator и Xilinx ISE. Този метод се хареса на студентите и резултатите бяха добри, защото те разбраха основните аспекти на модула и това доведе до положителен отзвук. Книга от 60 страници беше написана на гръцки език, за да помогне на студентите при изпълнението на лабораторните упражнения и да имат достатъчно теоретични познания, за да продължат да работят в тази област.

Втората цел, която беше постигната е подходът за инженерите и студентите, с който те осъзнаха, че с различни способности се постигат различни изходни резултати. Само с използването на софтуерни програми е трудно да се разбере какво е било постигнато с програмирането и симулацията, докато не се използват в реално време и тогава резултатите са очевидни. Въпреки, че DSP FPGA курсът е труден, комбинираното знание за Matlab, Simulink и System Generator на първоначално ниво на трудност е достатъчно, за да бъде здрава основа за един инженер да започне да проектира по-сложни цифрови системи.

Също така, третата постигната цел е сравнението между FPGA-базирана реализация и Simulink на Matlab и симулация в Xilinx System Generator на цифрово филтриране. Приносът на изследването са показаните разлики между симулациите в сравнение с резултатите от практическата реализация. Тук се представят резултати от симулации в сравнение с практическата реализация на цифрови филтри. Приложната система е реализирана върху FPGA. Резултатите, графиките и доказателствата са взети от тази част от дисертацията.

5.2 Втората секция

Във втората секция от изследването беше успешно постигнато проектирането на нов тестови метод за аналогови и цифрови (смесени-сигнали) електронни схеми, както и реализацията на метода в хардуер с използването на FPGA. Накрая системата бе оценена.

Бяха изследвани съществуващите тестови методи за схеми и системи със смесени сигнали. Използването на Wavelet трансформация на захранващите токове и първоначалните резултати се оказаха обещаващи. Резултатът беше да се развие хардуерна имплементация на нов тестови метод, използващ коефициенти от вълновата трансформация на захранващия ток. Две схеми бяха тествани и резултатите показаха висока откриваемост на неизправностите.

Беше направена оценка на различни методи, като вниманието беше фокусирано върху покритието на неизправностите.

Доколкото авторът е запознат, няма FPGA-базиран тестови метод, използващ коефициенти от Wavelet трансформация на захранващия ток за тест на широк спектър от аналогови и аналогово-цифрови схеми.

В заключение, предложеният проект, основан на оригинална изследователска работа, успя да развие нов метод за тест за аналогова и цифрова (смесена) електроника, да оцени чрез сравнение развитият нов тестови метод и да реализира прототипиране на тестова система, използваща FPGA.

5.2.1 Прогрес постигнат отвъд върховата технология

Дисертацията е в областта на тестване на електронни елементи и системи, чиято тематика занимава учените от цял свят повече от три десетилетия. Иновативните основни елементи, които бяха получени от проекта са споменати по-долу:

- 1) От гледна точка на основното изследване, резултатът е проектирането на нов метод за изследване с използване на коефициенти, получени от Wavelet трансформация на захранващия ток и може да бъде изследван в нови схеми.
- 2) От гледна точка на изследването на нови прототипи, резултатът на проекта е реализацията на предложената автоматизирана система за тест, която може да тества широк спектър от аналогови и аналогово-цифрови електронни системи. Също така, не съществува утвърден метод за тест на схеми с помощта на FPGA, използващ коефициенти, получени от Wavelet трансформация на захранващия ток, което е приложимо в широк спектър от схеми със смесени сигнали.

Като резултат, проектът предлага изследване и иновация в научната сфера на автоматизираните системи за тест на електронни схеми и системи със смесени сигнали. Той е иновация и за европейските и националните стандарти. Разработен е и прототип на тестваща система.

Този параграф е посветен да обобщи като изводи казаното по-горе. Изборът и сравнението на входните стимулиращи сигнали са използвани във FPGA-тестова система, базирана на Wavelet трансформация на захранващия ток или на тока през товара. Положителна черта на този метод е неговата простота: един-единствен измерен сигнал (един ток) и една единствена тестова точка. За изследваните схеми е наблюдавано, че използването на тока I_L от предложения тестови метод може да даде като резултат по-високо покритие на неизправностите, отколкото използването на тока I_{PS} .

Представено е примерно приложение на предложения метод за тест, включващо два операционни усилвателя в инвертираща схема. Сравнителни резултати от три различни входни стимули показват, че импулсните и триъгълните сигнали винаги дават по-голяма откриваемост на неизправностите, отколкото синусоидалните.

5.3 Списък с приноси

Обобщение на приносите от дисертацията е показано по-долу:

1. Образователна методология, която стимулира знанията на студентите по FPGA и Цифрови Филтри.

2. Практически подход към реализации с FPGA, използващ модерни инженерни методи.
3. Учебник от 60 страници, на гръцки език, с цел подпомагане на студентите, посещаващи лабораторния курс „FPGA и Цифрови Филтри“
4. Сравнение между симулации и реални имплементации на цифрови филтри, което даде информация за разликите и отклоненията, които трябва да се очакват при сравнението на изходните резултати от подобни реализации.
5. Нов изследователски метод и техника, с използването на Wavelet коефициенти, получени от захранващия ток, за изследване на схеми със смесени сигнали.
6. Нов вид прототипиране, включващо нов вид изследователски метод, използващ FPGA като реконфигурируема платформа, чиято цел е автоматизирана тестова система за аналогово и аналогово-цифрови схеми. Системата се реконфигурира чрез избиране на три вида тестови сигнали.
7. Резултатите са оценени от реалното използване на прототипа, базиран на различни видове схеми със смесени сигнали. Така че системата допринася за целия тест на качеството на схеми със смесени сигнали.
8. Изследването предлага иновация в научната сфера на автоматизираното откриване на откази в електронни схеми и системи със смесени сигнали със своите приноси в няколко научни статии в целия свят.

Научни проекти

По време на изследванията, свързани с моята дисертация за титлата доктор, участвах в два изследователски проекта, които подпомогнаха значително всички аспекти на моите изследвания. Бях оборудван с нужния хардуер, за да осъществя целите си, лабораторията, инструментите и финансирането за участие в международни конференции. Изследователските програми са:

1. 01/07/2012 -30/06/2015. Изследователската програма е със заглавие: “Проектиране на нов тестови метод за аналогова и цифрова (смесена) електроника, реализиран с FPGA”. Заинтересованите университети са Alexander Technological Educational Institute of Thessaloniki (ATEITH), Aristotle University of Thessaloniki, National Center for Scientific Research в Гренобъл (Франция) и Югозападен Университет в Благоевград. Това изследване е съфинансирано от Европейския Съюз (Европейски Социален Фонд – ESF) и Гръцки национални фондове по Оперативна

програма "Education and Lifelong Learning" на National Strategic Reference Framework (NSRF) – Програма изследователски фондове: ARCHIMEDES III. Допълнителна част от финансирането е от гръцката компания-производителка Olympia Electronics S.A. Olympia Electronics ще оцени прототипираната система чрез тестване на комерсиална електроника.

Проектът ще бъде завършен с участието на:

- a) водещ проекта Dimitrios K. Papakostas, професор от лабораторията Electronic System на факултета Electronics на АТЕИГН.
 - b) Alkis A. Hatzopoulos, професор от лабораторията Electronics от факултета Electrical and Computer Engineering към университета Aristotle University of Thessaloniki (AUTH).
 - c) Haralampos G. Stratigopoulos, главен изследовател към National Center for Scientific Research of France от изследователската група Reliable Mixed-signal Systems от Techniques of Informatics and Microelectronics for integrated systems Architecture (TIMA).
 - d) Доцент Валентин Христов, ръководител на катедра Компютърни Системи и Технологии към Югозападен Университет, Благоевград, България.
2. Изследователски проект на Югозападен Университет No SRP-B4: През 2011 г. академичният екип от факултета завърши научния проект SRP-B4, озаглавен "Цифрови системи с програмируеми полеве матрици (FPGA)". Ръководител на проекта беше доцент Валентин Христов. Целта бе да се проектират цифрови системи за събиране на данни, обработка и филтриране, реализирани с FPGA платки.

Публикации

1. **Pouros S.**, Popov A. and Hristov V., (2011) Laboratory course development for teaching DSP and digital filters implementations on FPGA in *Forth International Scientific Conference South-West University (FMNS2011)*, Faculty of Mathematics & Natural Sciences, Blagoevgrad, Bulgaria, 8 - 11 June 2011, vol:1, pp. 209-216.
2. Vassios V., **Pouros S.** and Papakostas D. (2012) Modern Mixed-Signal Circuits Testing Techniques in *2nd Greek Conference on Electronics and Telecommunications (PACET2012)*, Department of Physics and Electrical Engineering and Computer Science Aristotel University, Thessaloniki, Greece, 16 - 18 March 2012, vol:2, pp. 53-59.
3. **Pouros S.**, Vassios V., Papakostas D. and Hristov V. FPGA Based Mixed-Signal Circuit Novel Testing Techniques in *Fifth International Scientific*

- Conference South-West University (FMNS2013)*, Faculty of Mathematics & Natural Sciences, Blagoevgrad, Bulgaria, 12 - 15 June 2013, vol:2, pp. 33-39.
4. **Pouros S.**, Vassios V., Papakostas D. and Hatzopoulos A. (2013) On the Design of an FPGA-based Mixed-Signal Circuits Testing System in *Proc. 28th Conf. on Design of Circuits and Integrated Systems, (DCIS2013)*, Centre of Studies and Technical Research & University of Navarra, Donostia – San Sebastian, The Basque Country, Spain, 27 - 29 November 2013.
 5. Papakostas D., Vassios V., **Pouros S.** and Hatzopoulos A. (2014) “Selecting Input Current Waveforms Using a Hardware Testing Implementation Incorporated in FPGAs in *29th International Conference on Microelectronics, (MIEL2014)*, IEEE Serbia and Montenegro Section - ED/SSC Chapter, Belgrade, Serbia, 12 - 15 May 2014, pp. 379-382.
 6. **Pouros S.**, Vassios V., Papakostas D. and Hatzopoulos A. (2014) Input Stimulus Comparison using an Adaptive FPGA-based Testing System in *2014 IEEE International Symposium on Circuits and Systems, (ISCAS2014)*, Melbourne, Australia, 1-5 June 2014, ISBN: 978-1-4799-3431-7, pp. 277-280.

Списания

1. **Pouros S.**, Hristov V. (2013) FPGA - Based implementation vs Simulink and Xilinx system generator simulation on digital filtering in *Bulgarian Journal for Engineering Design, CAx Technologies 2013*, December 2013, ISSN 1314-9628, Issue 1, pp. 19-23.

Summary

DIGITAL SYSTEMS AND FPGA PROGRAMMING ON RECONFIGURABLE PLATFORMS

Abstract:

Electronic components are evolving the capabilities of the researchers and manufacturers around the world using a pace that is difficult for the industry to cope with. Especially FPGAs are becoming a substantial element of the future.

This doctorate thesis has two axes. The first one has an educational dimension and is based on the implementation of Digital Filtering using FPGAs for student laboratories. The second one is the main core of the research which relies on the implementation of a system for circuit testing purposes using reconfigurable platforms and parallel processing.

A new methodology has been evolved for block design based laboratory courses on IIR and FIR digital signal processing. The proposed course on DSP has been implemented with FPGA devices, evaluated and tested. Additionally, this section presents results on simulations in comparison to the actual implementations of digital filters signal processing. The archived goal is the developed signal processing experiments on FPGA development boards and the comparison of their respective simulation designs to the actual implementations to extract an understanding of variations between them. A handbook of sixty pages is written for the students to use for their laboratory courses as described.

Another crucial and substantial part of the thesis is the avocation with the testing devices for the mixed signal circuits (analog and digital signals).

The original research work developed a new test method for analog and digital (mixed) electronics using wavelets. The efficient method has been incorporated into a prototype testing system using FPGAs. The effectiveness of the prototype testing system has been evaluated and the results are heartening.

The operability and efficiency of the systems is verified in the field and the results have been presented in conferences all over the world. The new automated fault testing system incorporates reconfigurability and automated input stimulus selection.

Work is under way to exploit other testing methods using the implemented FPGA-based testing system in order to improve detectability, as well as to apply the presented method for testing other complex mixed-signal circuits. Finally, an FPGA-based hardware implementation of the method is constructed, in order for the method to be applied for testing commercial electronic products.